

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: CHANG, Ching-Yu Conf.:
Appl. No.: NEW Group:
Filed: November 19, 2003 Examiner:
For: METHOD OF FORMING A DUAL-LAYER RESIST
AND APPLICATION THEREOF

L E T T E R

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

November 19, 2003

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

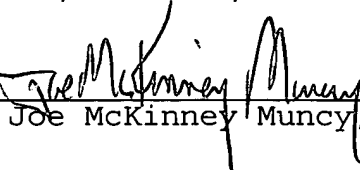
<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
TAIWAN	092105340	March 12, 2003

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

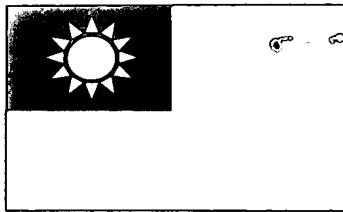
BIRCH, STEWART, KOLASCH & BIRCH, LLP

By 
Joe McKinney Muncy, #32,334

KM/smt
0941-0867P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment(s)



CHANG
November 19, 2003
BSAB LLP
0941-0867P
1061

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 03 月 12 日
Application Date

申請案號：092105340
Application No.

申請人：旺宏電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 10 月 30 日
Issue Date

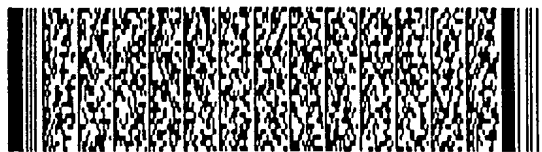
發文字號：09221101460
Serial No.

申請日期：	IPC分類
申請案號： 92105340	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	雙層光阻的形成方法以及其應用
	英 文	
二、 發明人 (共1人)	姓 名 (中 文)	1. 張慶裕
	姓 名 (英 文)	1. Ching-Yu, Chang
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 宜蘭縣員山鄉同樂村6鄰新城路17號
	住 居 所 (英 文)	1.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 旺宏電子股份有限公司
	名稱或 姓 名 (英 文)	1.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 新竹科學工業園區新竹市力行路16號 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1.
	代 表 人 (中 文)	1. 胡定華
	代 表 人 (英 文)	1.



四、中文發明摘要 (發明名稱：雙層光阻的形成方法以及其應用)

本發明提供一種雙層光阻的形成方法以及其應用。雙層光阻的形成方法首先在一基體上，形成圖案化(patterned)之一第一光阻層。接著，固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)。最後，於被固化之該第一光阻層上，形成圖案化之一第二光阻層。此雙層光阻的形成方法並可以應用於罩幕式(mask)唯讀記憶體(read only memory, ROM)的編碼、孔洞的形成、以及雙鑲嵌結構。

伍、(一)、本案代表圖為：第4C圖

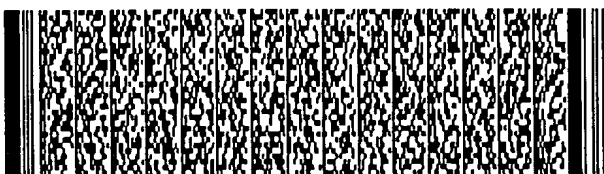
(二)、本案代表圖之元件代表符號簡單說明：

30 基體

32 第一光阻層

34 第二光阻層

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

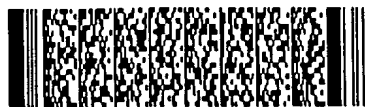
☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

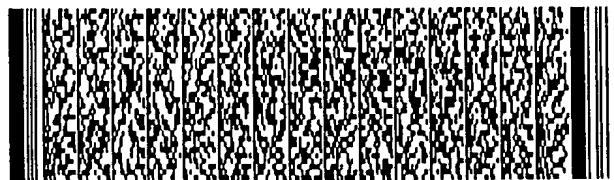
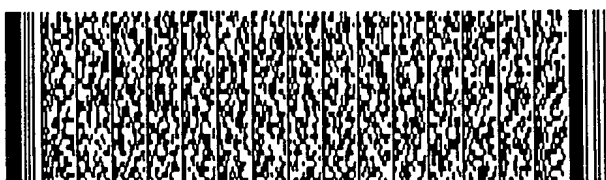
發明所屬之技術領域

本發明係有關於一種雙層光阻的形成方法以及其應用，尤指一種在一圖案化之光阻層上形成另一圖案化之光阻層的方法。

先前技術

隨著罩幕式記憶體的記憶單元(memory cell)越來越小，要使用單一道光罩與一微影製程，來定義記憶單元中所要被編碼佈值處也變的更加困難。因此，製程便發展出兩道黃光與兩道微影製程。第1A圖為記憶體單元中之NMOS製作完成時的上視圖；第1B為第1A圖沿著AA'線的剖面圖。埋藏式位元線(buried bit lines)10與字元線(word lines)12交錯排列。每兩個埋藏式位元線之間的一字元線所在的位置，即為一NMOS。進行編碼相關製程時，先沉積硬光罩層14(譬如氧化矽)。然後進行一道微影製程(用一所謂編碼前光罩pre-code mask)，大略在埋藏式位元線上形成平行的光阻線條16，如同第2A圖與第2B圖所示。接著，去除光阻線條16未覆蓋的部分硬光罩層14，而後去除掉光阻線條16。然後，以另一道微影製程(用一所謂編碼光罩code mask)來形成另一光阻層18，以定義出要接受編碼佈值(code implantation)的記憶單元，如第3A圖與第3B圖所示。而記憶單元中，沒有被光阻層18與硬光罩層14所覆蓋之區域將會受到後續離子佈值製程而影響其邏輯值。

由以上的製程流程可知，當記憶單元之NMOS完成後，



五、發明說明 (2)

到編碼完成之間，至少需要經歷兩次微影製程、一次沉積(deposition)製程、一次蝕刻製程、一次去光阻製程以及一次離子佈值製程。不論是對於物料或是管理，這樣的流程將會耗費所多的成本。

需要如此複雜製程的原因，在於後續之光阻層直接塗佈在先前的光阻層上時，後續的光阻層中的溶劑，將會與先前的光阻層溶解而改變先前之光阻層已經定義好的圖案。所以，才需要一個硬光罩層來轉換圖案。

發明內容

有鑑於此，本發明的主要目的，在於提供一種雙層光阻的形成方法，能夠在形成一第二層光阻層之時，不會影響到第一層光阻層。

本發明的另一目的，在於提供雙層光阻的應用，並大幅降低製程成本。

根據上述之目的，本發明提出一種雙層光阻的形成方法。首先於一基體上，形成圖案化(patterned)之一第一光阻層。接著固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)。然後於被固化之該第一光阻層上，形成圖案化之一第二光阻層。

固化的方法可以用離子佈值製程或是電漿製程來改變第一光阻層的表面特性，使其不溶於該第二光阻層中的光阻溶劑。如此，可以兩個具有不同圖案的光阻層重疊在一起，可以有效的減少製程成本。

本發明另提出一種對罩幕式(mask)唯讀記憶體(read

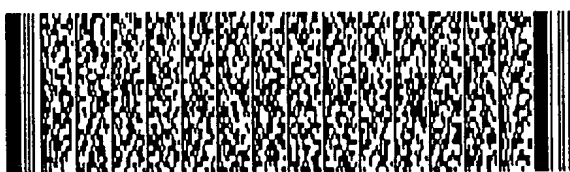


五、發明說明 (3)

only memory, ROM) 的編碼方法。首先，提供一基體，該基體上具有一罩幕式ROM陣列(array)，以複數記憶單元所構成。接著，於該罩幕式ROM陣列上，形成具有重複性圖案之一第一光阻層，用以遮掩每一記憶單元之部分區域。然後，固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)。於被固化之該第一光阻層上，形成圖案化之一第二光阻層，用以遮掩該罩幕式ROM陣列之部分區域。最後，進行一編碼佈值製程(code implantation)，以改變沒有被該第二光阻層遮掩之記憶單元之邏輯狀態。

本發明的另一個應用在於接觸洞(contact hole)或是介層窗(via hole)的形成方法。該形成方法包含有下列步驟：1) 提供一基體(substrate)，該基體之表面具有一介電層；2) 於該介電層上，形成具有大致平行之第一溝圖案之一第一光阻層；3) 固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)；4) 於被固化之該第一光阻層上，形成具有大致平行之第二溝圖案之一第二光阻層，該等第二溝圖案與該等第一溝圖案大致垂直；4) 去除該第二溝圖案與該等第一溝圖案交錯處下的該介電層，以形成至少一孔洞。

本發明的另一個應用在於雙鑲嵌結構的製作方法。該製作方法包含有下列步驟：1) 提供一基體(substrate)，該基體之表面具有一介電層；2) 於該介電層上，形成具有複數孔洞圖案之一第一光阻層；3) 固化該第一光阻層，使



五、發明說明 (4)

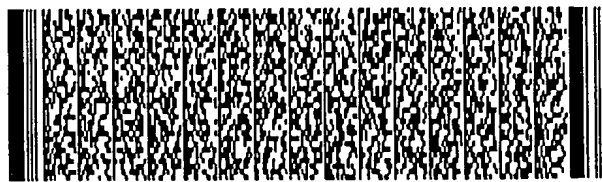
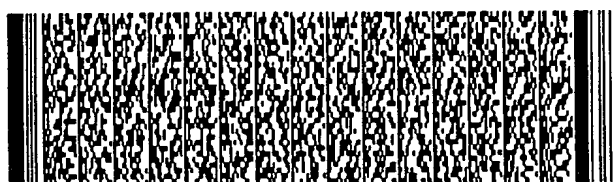
該第一光阻層不溶於光阻溶劑(resist solvent)；4)於被固化之該第一光阻層上，形成具有複數溝槽圖案之一第二光阻層；5)以該第一光阻層作為罩幕，蝕刻該介電層以使該等孔洞圖案移轉至該介電層上；以及6)以該第二光阻層作為罩幕，蝕刻該第一光阻層與該介電層，以使該等溝槽圖案移轉至該介電層上。

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

本發明的精神在於形成兩個圖案化且直接堆疊的光阻層於一基體上。至於圖佈一比較上層(upper)的光阻層時，其中的光阻溶劑會對比較下層的光阻層所產生的影響，則靠一個光阻處理步驟，將下層光阻層的表面特性改變。使光阻溶劑不再溶解下層光阻層的表面，進而使下層光阻層受到保護。

第4A圖至第4C圖為本發明之雙層光阻形成過程中的基體剖面圖。第一步驟是在基體30上形成圖案化之一第一光阻層32，如第4A圖所示。一般的微影製程都可以達到此目的。第二步驟是固化第一光阻層32，使得第一光阻層32的表面產生化學變化，不再溶於光阻溶劑，如第4B圖所示。固化的方法有許多種，譬如用氬(Ar)或氮來對第一光阻層32進行離子佈值，離子佈值的能量可以為10至50Kev，該離子佈值的摻雜濃度可以為 10^{13} 至 10^{15} ion/cm²。另一種固



五、發明說明 (5)

化的方法是將基體30以及第一光阻層32一起放入一氬氣之電漿環境中，利用電漿製程來改變第一光阻層32的表面特性。接著的步驟，是形成另一個圖案化的光阻層(第二光阻層34)，如第4C圖所示。因為第一光阻層32的表面已經不再溶於光阻溶劑了，所以第二光阻層34便可以直接在第一光阻層32上圖佈、曝光以及顯影。這樣便完成了雙層光阻的結構，後續可以進行流程要求所需的蝕刻或是離子佈值等製程。

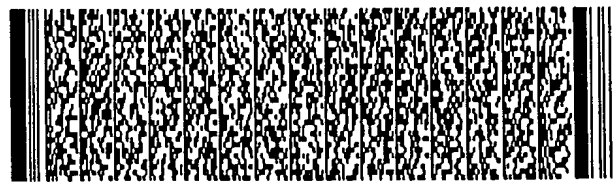
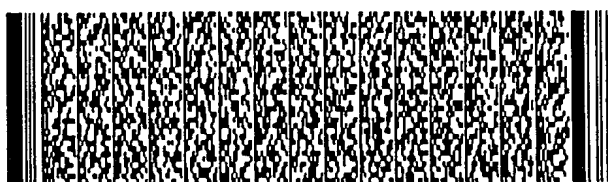
這樣雙層光阻結構可以有許多種應用。以下為三個應用的實施例，均可以達到節省製程步驟與製程成本的目的。

第一實施例

本發明的雙層光阻結構可以用於罩幕式(mask)唯讀記憶體(read only memory, ROM)的編碼方法。

首先，於一半導體基體11上形成一罩幕式ROM陣列(array)，以複數記憶單元所構成，如第1A圖以及第1B圖所示。罩幕式ROM陣列中具有複數條以摻雜區構成的埋藏式位元線10，以及複數條以多晶矽構成的字元線(word lines)12。每兩個埋藏式位元線10之間的一字元線12所在的位置，即為一記憶單元。

第5A圖為，第2A圖運用本發明時的AA'線剖面圖。接著，如第2A圖以及5A圖所示，於罩幕式ROM陣列上，形成具有重複性圖案之一第一光阻層16，用以遮掩每一記憶單元之部分區域。於第2A圖以及第5A圖中，顯影後的第一光



五、發明說明 (6)

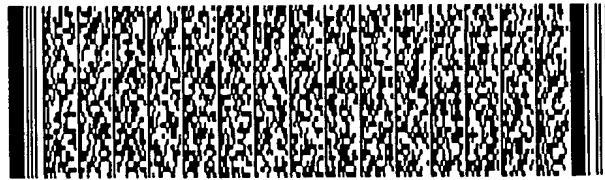
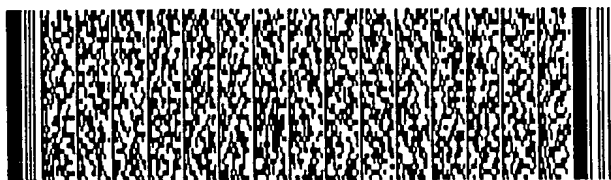
阻層16為平行的複數條線，直接貼在字元線12上，係大略地遮掩該罩幕式ROM陣列中之埋藏式位元線10。

接著，固化該第一光阻層16的表面，使第一光阻層16不溶於光阻溶劑。而固化的方法已經於之前詳述，在此不再多述。

第5B圖為，第3A圖運用本發明時的AA'線剖面圖。接著，於被固化之第一光阻層16上，形成圖案化之一第二光阻層18，用以遮掩罩幕式ROM陣列之部分區域，如第3A圖以及第5B圖所示。第二光阻層18的圖案係依據編碼的需求而設計，對於不同的記憶單元，可能有開口與關閉不同的情形，以表示不同的邏輯值(0或1)。

接著，進行一編碼佈值製程(code implantation)，以改變沒有被第二光阻層18遮掩之記憶單元之邏輯狀態。譬如說，以硼(Boron)離子進行離子佈值。如果每個記憶單元是一個NMOS的話，被離子佈值處理到的NMOS，或是沒有被第二光阻層18或是第一光阻層16遮蔽到的NMOS，其臨界電壓將被升高。

與習知的硬光罩層之編碼方法相比較，此實施例的編碼方法完全不用形成硬光罩層，同時，於編碼佈值製程之後，可以僅僅用一次的去光阻製程，便去除第一光阻層16以及第二光阻層18。本實施例於記憶單元之NMOS完成後，到編碼完成之間，只需要經歷兩次微影製程以及一次離子佈值製程，大幅的節省製程上的複雜度以及相對應的成本。



五、發明說明 (7)

第二實施例

本發明可運用於半導體製程中，孔洞(接觸洞contact hole或是穿越洞via hole)的形成方法。

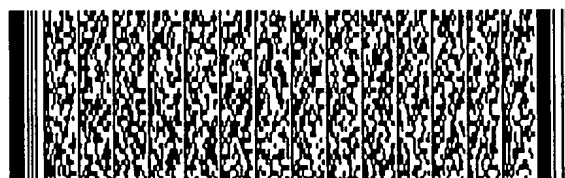
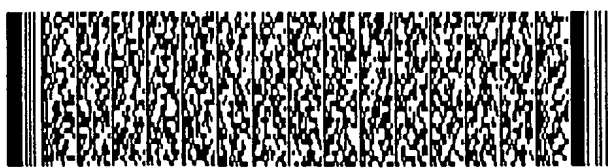
半導體晶片上的孔洞大多是形成在介電層(譬如氧化矽或是氮化矽)中，因此，形成孔洞的第一步驟便是提供上有一介電層的一半導體基體。

請參閱第6A圖以及第6B圖。第6A圖為運用本發明之一圖案化第一光阻層的上視圖；第6B圖為第6A圖沿著BB'線方向的晶片剖面圖。如第6A圖以及第6B圖所示，接著，於介電層40上，形成具有大致平行之第一溝圖案44之一第一光阻層42。

接著，固化第一光阻層42，使第一光阻層42不溶於光阻溶劑。而固化的方法已經於之前詳述，在此不再多述。

請參閱第7A圖與第7B圖。第7A圖為運用本發明之一圖案化第二光阻層的上視圖；第7B圖為第7A圖沿著BB'線方向的晶片剖面圖。於被固化之第一光阻層42上，形成有具有大致平行之第二溝圖案46之一第二光阻層48。第二溝圖案46與第一溝圖案44大致垂直。

接著進行一蝕刻製程，以去除46第二溝圖案與第一溝圖案44交錯處下的介電層40，以形成至少一孔洞，如同第8圖所示。利用第一光阻層以及第二光阻層作為罩幕，實施非等向性蝕刻，去除部份的介電層40，並停止在一或數個特定層上。在第8圖中，蝕刻製程停止在閘極以及源汲極的上方，剛好作為下方元件(NMOS)的接觸洞。



五、發明說明 (8)

習知技術所知道的，如果想要直接形成具有孔洞圖案的一光阻層，當孔洞的直徑接近或是小於曝光台解析極限(resolution limit)時，要曝開孔洞便會相當的困難。但是，相對的，在同一解析極限下，曝開溝圖案便比曝開孔洞容易的多。因此，本實施例運用兩次的微影製程，每一次微影製程曝出一個溝圖案。利用兩個溝圖案的交集，來定義出孔洞的位置。如此的方法，便可以克服習知技術的困難，形成具有小直徑的孔洞。而且，相較於一次微影製程形成一具有孔洞圖案的光阻層，依據本發明的製程流程上，僅僅是增加了多一次的微影製程以及一光阻硬化製程，並不會增加太多製程成本。

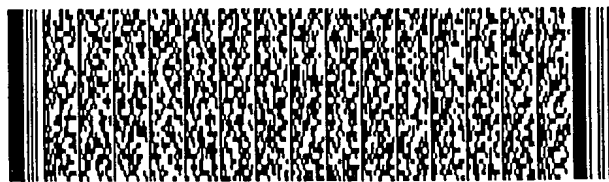
第三實施例

本發明可運用於半導體製程中，雙鑲嵌(dual damascene)結構之製作方法。

一般的雙鑲嵌結構是用於製作半導體元件的相互連結線(inter-connection line)。雙鑲嵌結構多是製作於一半導體基體50上的一介電層52。介電層52可以是氧化矽、氮化矽或是多層式複合的介電層。

運用本發明製作雙鑲嵌結構時，先於介電層52上形成複數孔洞圖案56之一第一光阻層58，如第9A圖以及第9B圖所示。第9A圖為一具有孔洞圖案56的第一光阻層58上視圖；第9B圖為第9A圖的一種晶片剖面圖。此第一光阻層58定義了將於介電層52上形成的穿越洞的位置。

接著，固化第一光阻層58，使第一光阻層58不溶於光



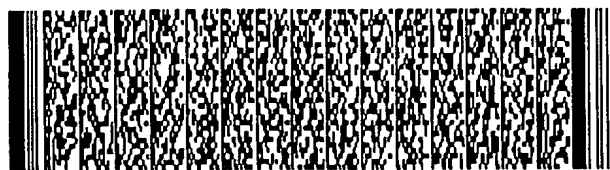
五、發明說明 (9)

阻溶劑，如第10圖所示。而固化的方法已經於之前詳述，在此不再多述。

接著，在被固化之該第一光阻層58上，形成具有複數溝槽圖案60之一第二光阻層62，如第11A圖以及第11B圖所示。第11A圖為第10圖的第一光阻層58上形成一第二光阻層62的上視圖；第11B圖為第11A圖的一種晶片剖面圖。此第二光阻層62定義了將於介電層52表面形成的金屬線之位置。

接著，以第一光阻層58作為罩幕，蝕刻該介電層52以使該等孔洞圖案56移轉至該介電層52上。蝕刻時，可以以下方的金屬層54作為蝕刻停止層來控制製程機台。適當的調整蝕刻機台的參數，可以盡量不去除第一以及第二光阻層(58、62)，但是，去除裸露的介電層52。

接著，以第二光阻層62作為罩幕，蝕刻第一光阻層58與介電層50，以使等溝槽圖案60移轉至介電層52上。蝕刻時，可以以停止點(end-point)的方式，先去除沒有被第二光阻層62遮蔽的第一光阻層58。此時，因為第一光阻層58與第二光阻層62的材料相同，第二光阻層62也可以同時被去除，但是，第二光阻層62的溝槽圖案60，因為光阻厚度的差異，是依然要保留而存在的。接著，如果介電層52為單一材質，則以時間模式(time-mode)，以固定的蝕刻時間，去除沒有被第二層光阻62圖案遮蔽、一定厚度的介電層52，如此，移轉溝槽圖案60至介電層52上。如果介電層52為複合材料(具有複數不同材質的層)，則可能可以用



五、發明說明 (10)

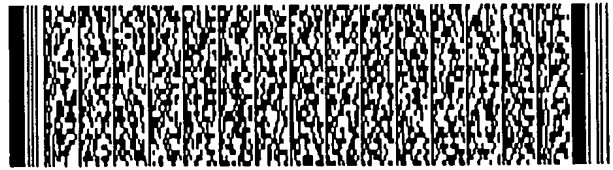
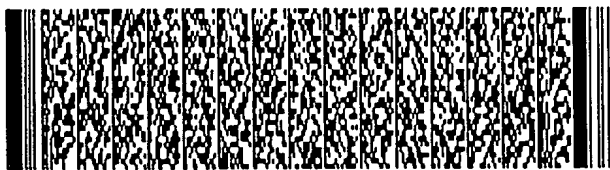
停止點的方式，蝕刻停止在介電層52中的某個位置，達成移轉溝槽圖案60至介電層52上的目的。

需注意的是，因為轉移孔洞圖案以及轉移溝槽圖案為連續的兩個蝕刻動作，所以，在製程流程中，可以於同一蝕刻機台中進行，以節省製程流程上的控制。

如第12圖所示，光阻去除後，雙鑲嵌結構便完成，其中，介電層的下半部具有孔洞，而上半部具有溝槽。

本發明的雙層光阻形成方法直接將兩層圖案化的光阻直接重疊在一起，具有簡化製程流程的好處。運用於罩幕式(mask)唯讀記憶體(read only memory, ROM)的編碼方法時，可以大幅節省製程成本。運用於接觸洞或是穿越洞的形成時，可以製作出比先前技術更小的孔洞。運用於雙鑲嵌製程時，可以使原本於兩個蝕刻機台分別轉移孔洞圖以及溝槽圖案的動作，合併在同一蝕刻機台進行。因此，可明顯看出本發明的實用與進步性。

本發明雖以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖為記憶體單元中之NMOS製作完成時的上視圖；

第1B為第1A圖沿著AA'線的剖面圖；

第2A圖為第1A圖增加編碼前光罩圖案的上視圖；

第2B為以硬光罩實施時，第2A圖沿著AA'線的剖面圖；

第3A圖為第2A圖編碼光罩圖案的上視圖；

第3B為以硬光罩實施時，第3A圖沿著AA'線的剖面圖；

第4A圖至第4C圖為本發明之雙層光阻形成過程中的基體剖面圖；

第5A圖為，運用本發明時，第2A圖的AA'線剖面圖；

第5B圖為，運用本發明時，第3A圖的AA'線剖面圖；

第6A圖為運用本發明之一圖案化第一光阻層的上視圖；

第6B圖為第6A圖沿著BB'線方向的晶片剖面圖；

第7A圖為運用本發明之一圖案化第二光阻層的上視圖；

第7B圖為第7A圖沿著BB'線方向的晶片剖面圖

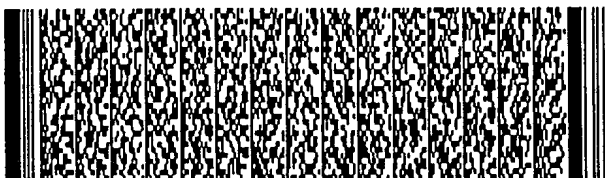
第8圖為第7A圖蝕刻孔洞後的完成圖；

第9A圖為一具有孔洞的第一光阻層上視圖；

第9B圖為第9A圖的一種晶片剖面圖；

第10圖為第9B圖的光阻層被固化後的示意圖；

第11A圖為第10圖的第一光阻層上形成一第二光阻層的上視圖；



圖式簡單說明

第11B圖為第11A圖的一種晶片剖面圖；以及

第12圖為第11A圖與第11B圖經過蝕刻以及去光阻製程後的完成圖。

符號說明：

10 埋藏式位元線

11 半導體基體

12 字元線

14 硬光罩層

16 第一光阻層

18 第二光阻層

30 基體

32 42 58 第一光阻層

34 48 62 第二光阻層

40 介電層 44 第一溝圖案

46 第二溝圖案

50 半導體基體

52 介電層

56 孔洞圖案

60 溝槽圖案



六、申請專利範圍

1. 一種雙層光阻的形成方法，包含有：

提供一基體(substrate)；

於該基體上，形成圖案化(patterned)之一第一光阻層；

固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)；以及

於被固化之該第一光阻層上，形成圖案化之一第二光阻層。

2. 如申請專利範圍第1項之形成方法，其中，固化該第一光阻層之步驟係以氬或是氮對該第一光阻層進行離子佈值。

3. 如申請專利範圍第2項之形成方法，其中，該離子佈值的能量係為10至50Kev，該離子佈值的摻雜濃度係為 10^{13} 至 10^{15} ion/cm²。

4. 如申請專利範圍第1項之形成方法，其中，固化該第一光阻層之步驟係為一具有氬氣之電漿製程。

5. 一種對罩幕式(mask)唯讀記憶體(read only memory, ROM)的編碼方法，包含有：

提供一基體，該基體上具有一罩幕式ROM陣列(array)，以複數記憶單元所構成；

於該罩幕式ROM陣列上，形成具有重複性圖案之一第一光阻層，用以遮掩每一記憶單元之部分區域並露出可能離子值入之位置；

固化該第一光阻層，使該第一光阻層不溶於光阻溶劑



六、申請專利範圍

(resist solvent) ;

於被固化之該第一光阻層上，形成圖案化之一第二光阻層，用以遮掩該罩幕式ROM陣列之部分區域；以及

進行一編碼佈值製程(code implantation)，以改變沒有被該第二光阻層遮掩之記憶單元之邏輯狀態。

6. 如申請專利範圍第5項之編碼方法，其中，該第一光阻層係大略地遮掩該罩幕式ROM陣列中之複數位元線，每一位元線係以一半導體摻雜區所構成。

7. 如申請專利範圍第5項之編碼方法，其中，固化該第一光阻層之步驟係以氬或是氬對該第一光阻層進行離子佈值。

8. 如申請專利範圍第5項之編碼方法，其中，該離子佈值的能量係為10至50Kev，該離子佈值的摻雜濃度係為 10^{13} 至 10^{15} ion/cm²。

9. 如申請專利範圍第5項之編碼方法，其中，固化該第一光阻層之步驟係為一具有氬氣之電漿製程。

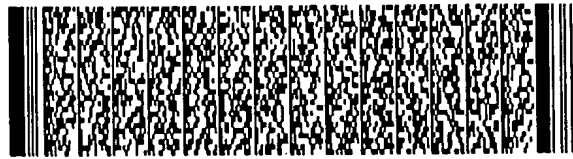
10. 一種形成孔洞(hole)的方法，包含有：

提供一基體(substrate)，該基體之表面具有一介電層；

於該介電層上，形成具有大致平行之第一溝圖案之一第一光阻層；

固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)；

於被固化之該第一光阻層上，形成具有大致平行之第



六、申請專利範圍

二溝圖案之一第二光阻層，該等第二溝圖案與該等第一溝圖案大致垂直；以及

去除該第二溝圖案與該等第一溝圖案交錯處下的介電層，以形成至少一孔洞。

11. 如申請專利範圍第10項之形成孔洞的方法，其中，固化該第一光阻層之步驟係以氬或是氫對該第一光阻層進行離子佈值。

12. 如申請專利範圍第10項之形成孔洞的方法，其中，該離子佈值的能量係為10至50Kev，該離子佈值的摻雜濃度係為 10^{13} 至 10^{15} ion/cm²。

13. 如申請專利範圍第10項之形成孔洞的方法，其中，固化該第一光阻層之步驟係為一具有氬氣之電漿製程。

14. 如申請專利範圍第10項之形成孔洞的方法，其中，該介電層主要係為二氧化矽。

15. 一種雙鑲嵌(dual damascene)結構之製作方法，包含有：

提供一基體(substrate)，該基體之表面具有一介電層；

於該介電層上，形成具有複數孔洞圖案之一第一光阻層；

固化該第一光阻層，使該第一光阻層不溶於光阻溶劑(resist solvent)；

於被固化之該第一光阻層上，形成具有複數溝槽圖案



六、申請專利範圍

之一 第二光阻層；

以該第一光阻層作為罩幕，蝕刻該介電層以使該等孔洞圖案移轉至該介電層上；以及

以該第二光阻層作為罩幕，蝕刻該第一光阻層與該介電層，以使該等溝槽圖案移轉至該介電層上。

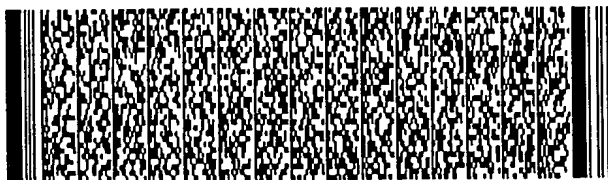
16. 如申請專利範圍第15項的雙鑲嵌結構之製作方法，其中，移轉該等孔洞圖案與移轉該等溝槽圖案之二步驟係於同一製程基台中處理。

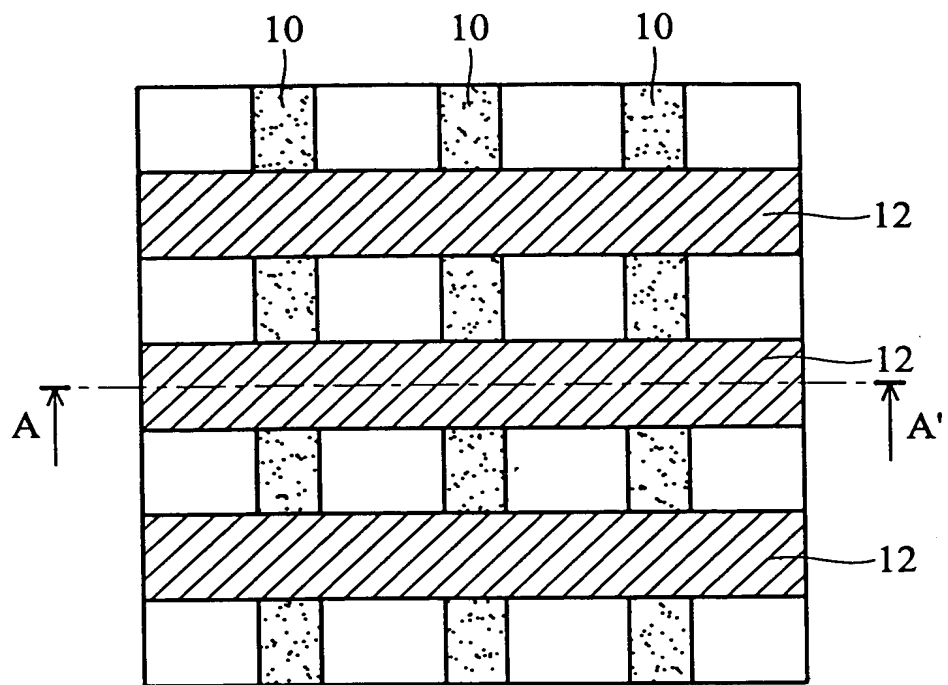
17. 如申請專利範圍第15項的雙鑲嵌結構之製作方法，其中，固化該第一光阻層之步驟係以氬對該第一光阻層進行離子佈值。

18. 如申請專利範圍第15項的雙鑲嵌結構之製作方法，其中，該離子佈值的能量係為10至50Kev，該離子佈值的摻雜濃度係為 10^{13} 至 10^{15} ion/cm²單位。

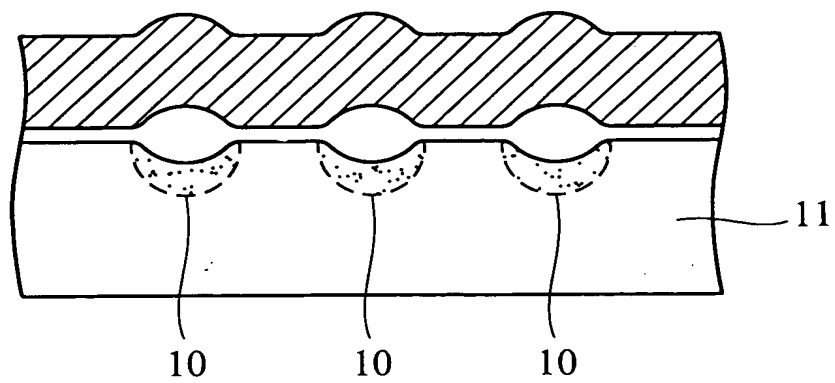
19. 如申請專利範圍第15項的雙鑲嵌結構之製作方法，其中，固化該第一光阻層之步驟係為一具有氬氣之電漿製程。

20. 如申請專利範圍第15項的雙鑲嵌結構之製作方法，其中，該介電層主要係為二氧化矽。

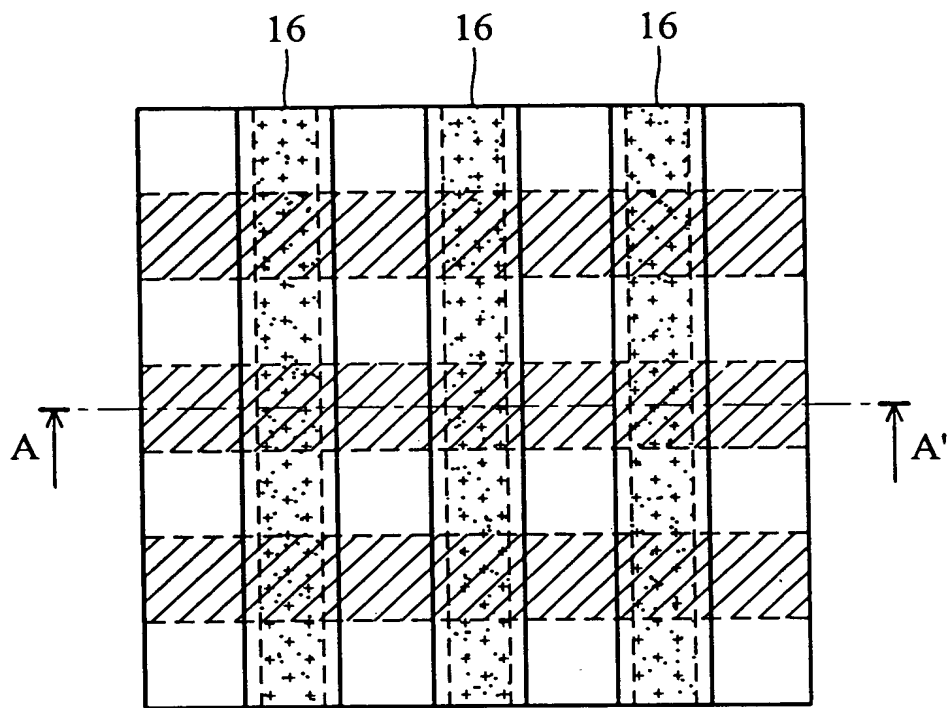




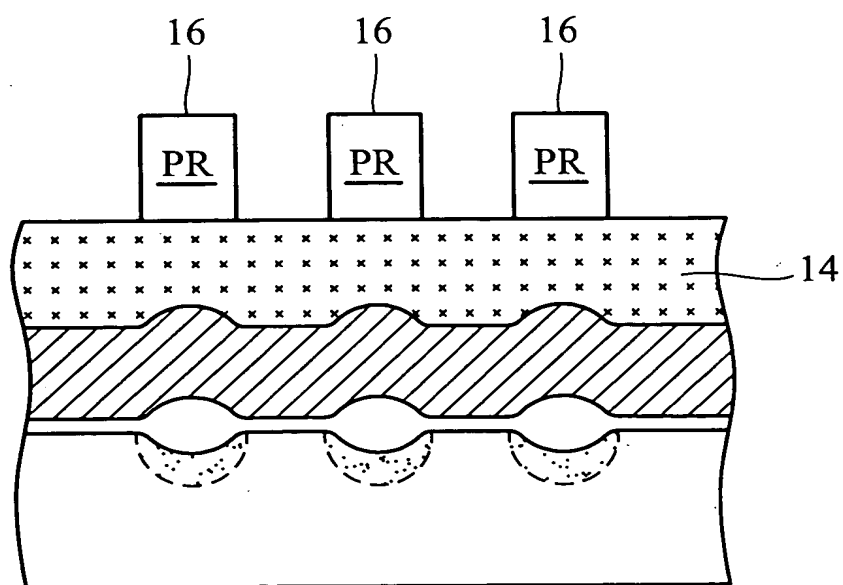
第 1A 圖



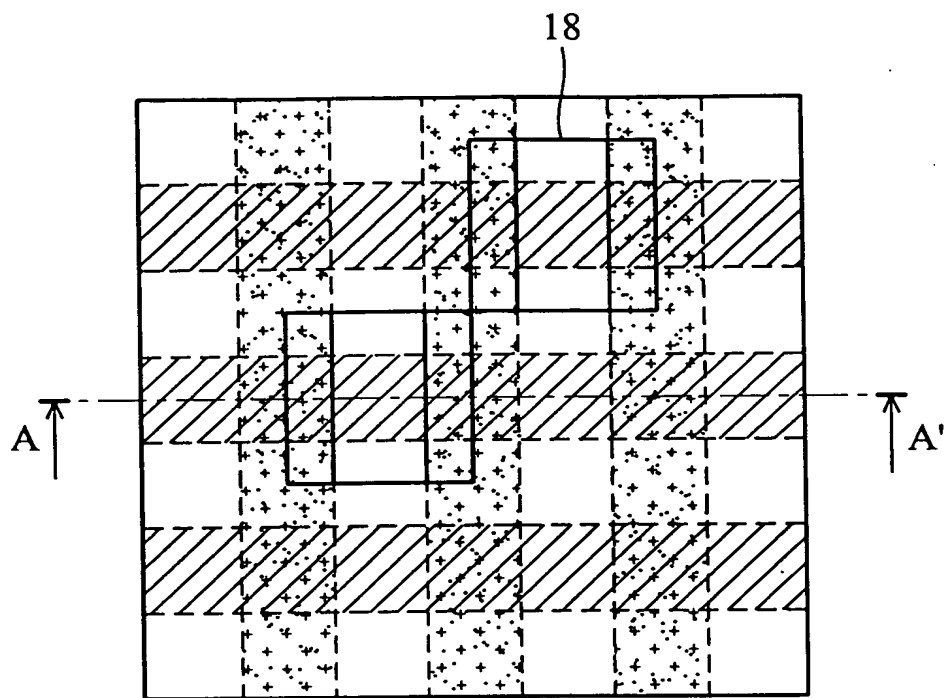
第 1B 圖



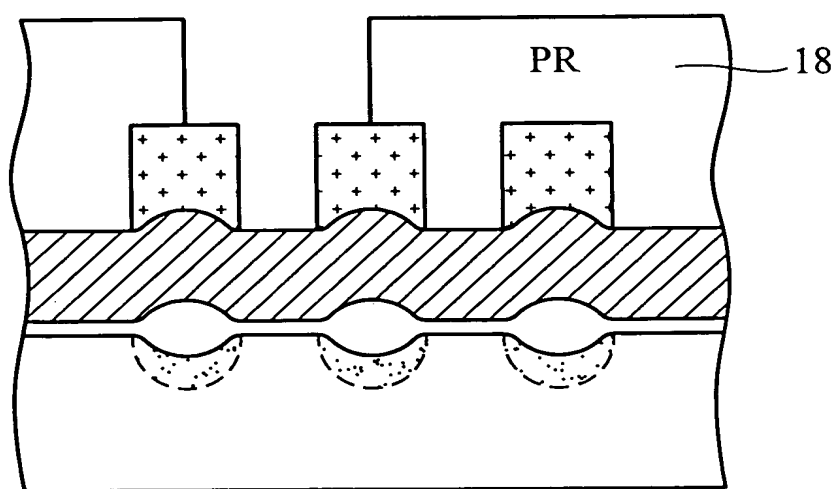
第 2A 圖



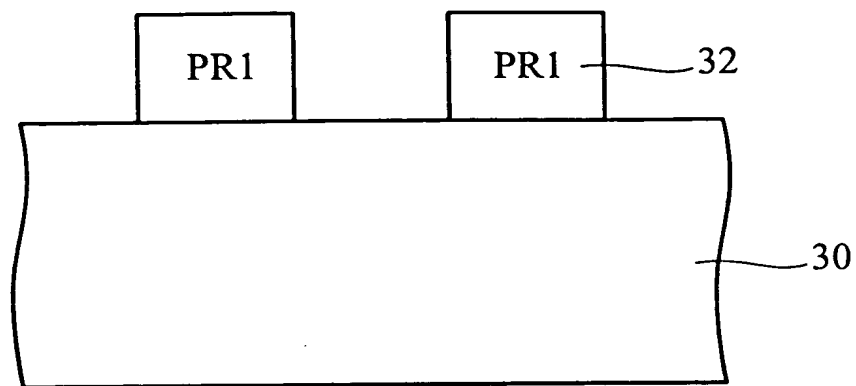
第 2B 圖



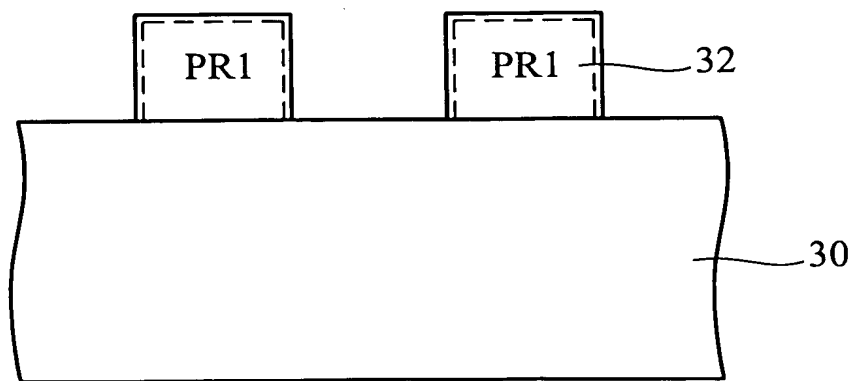
第 3A 圖



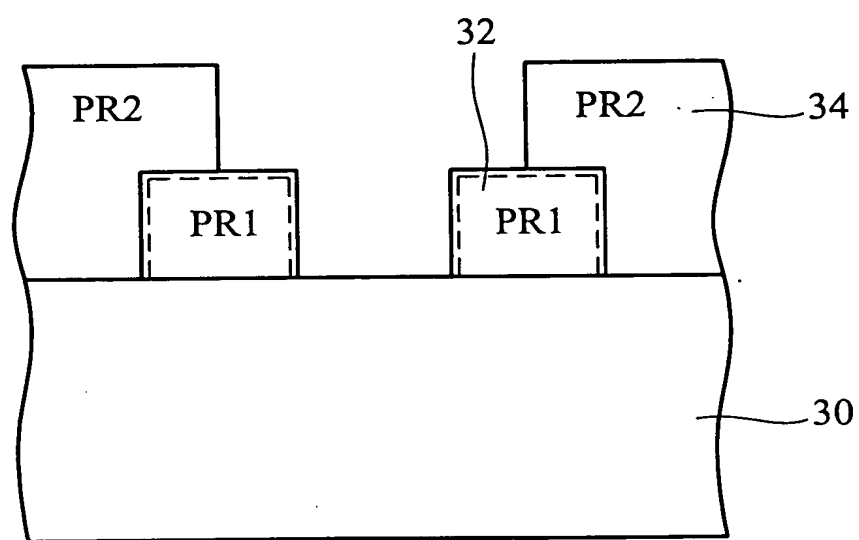
第 3B 圖



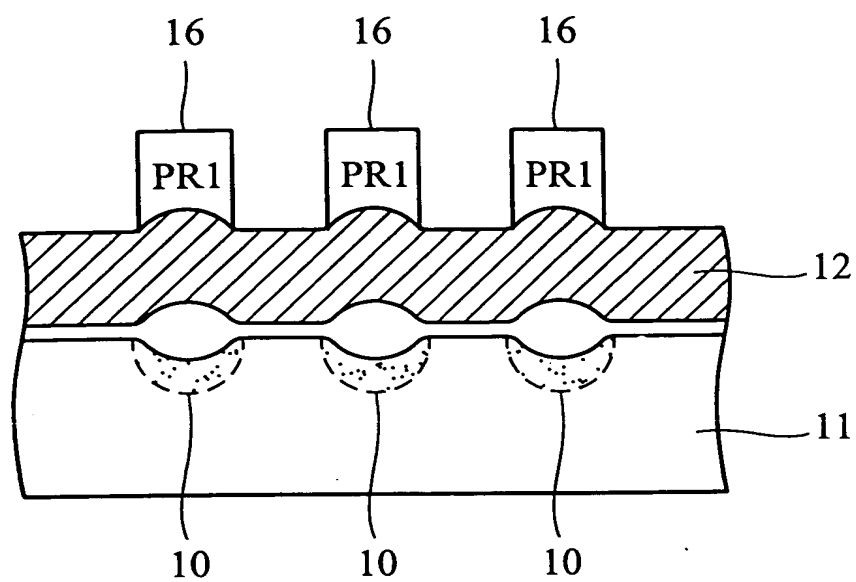
第 4A 圖



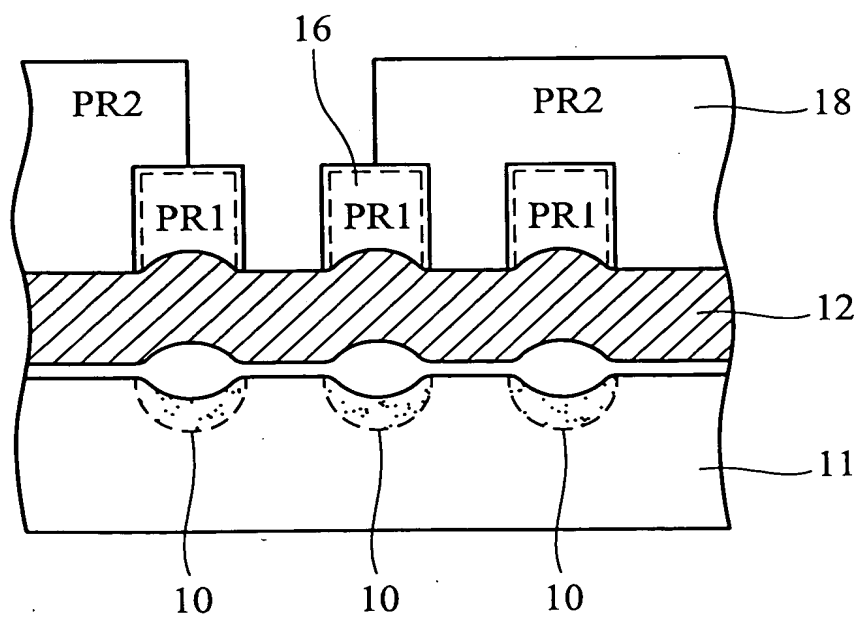
第 4B 圖



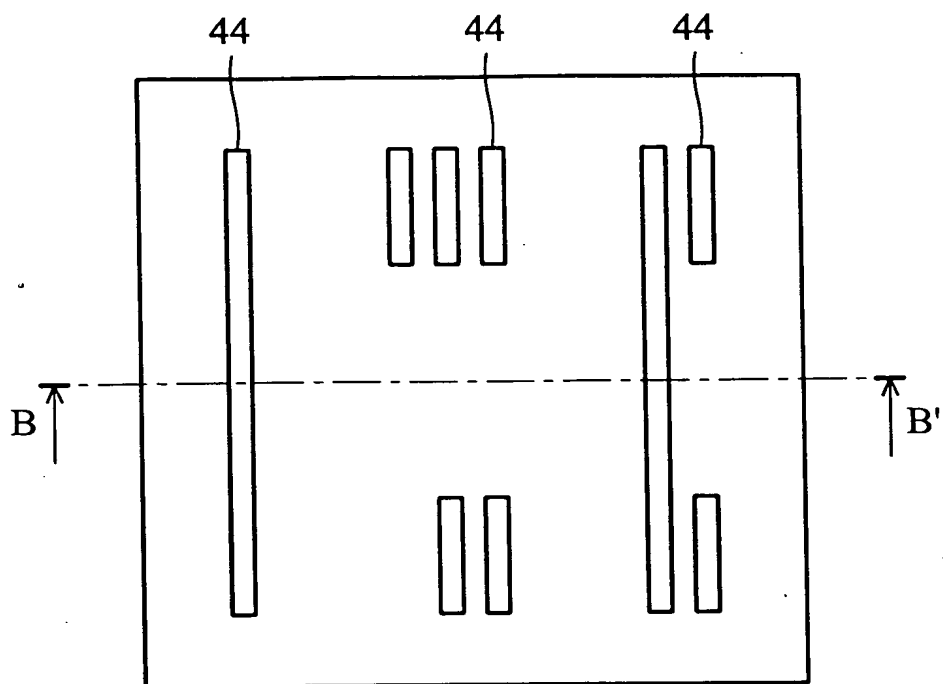
第 4C 圖



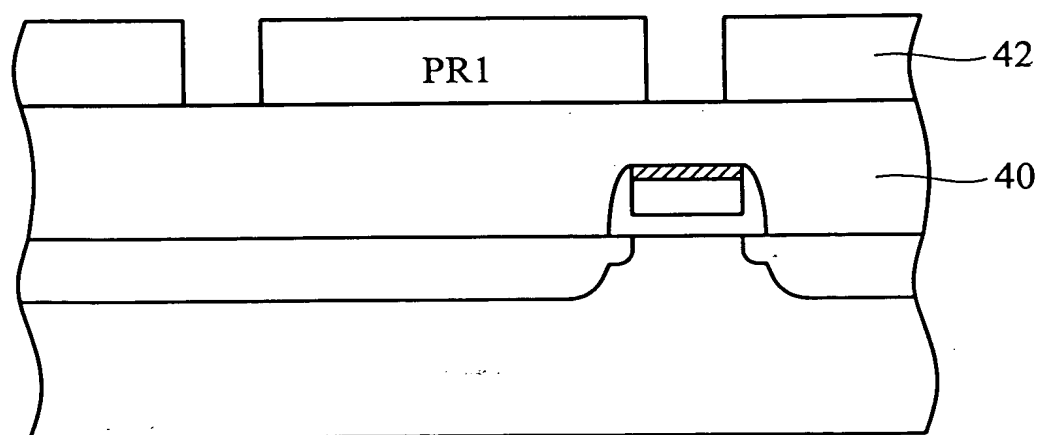
第5A圖



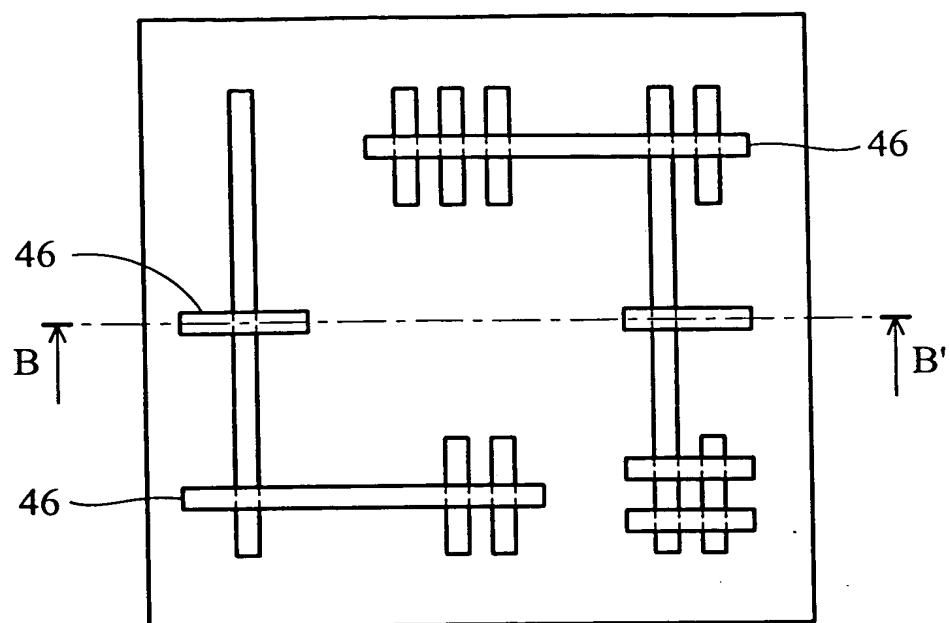
第5B圖



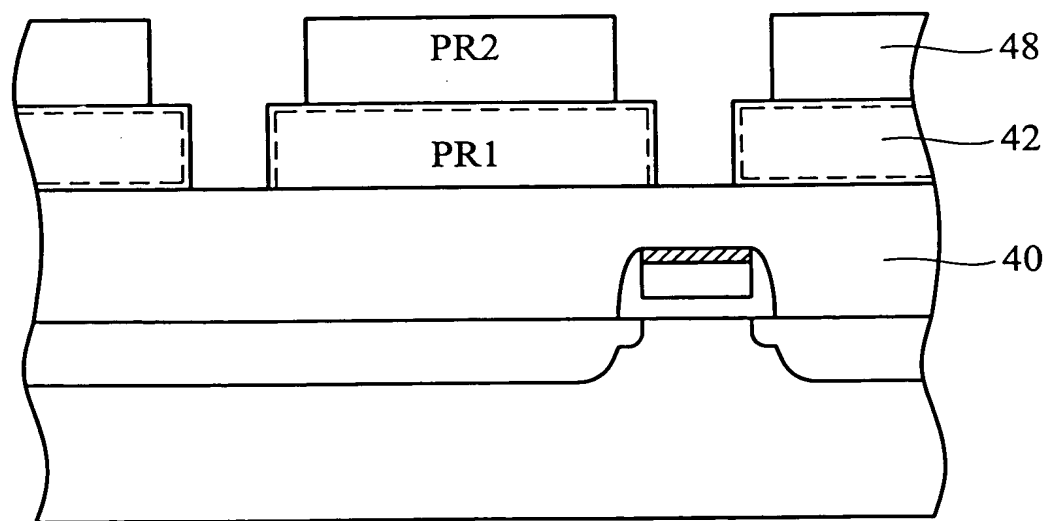
第 6A 圖



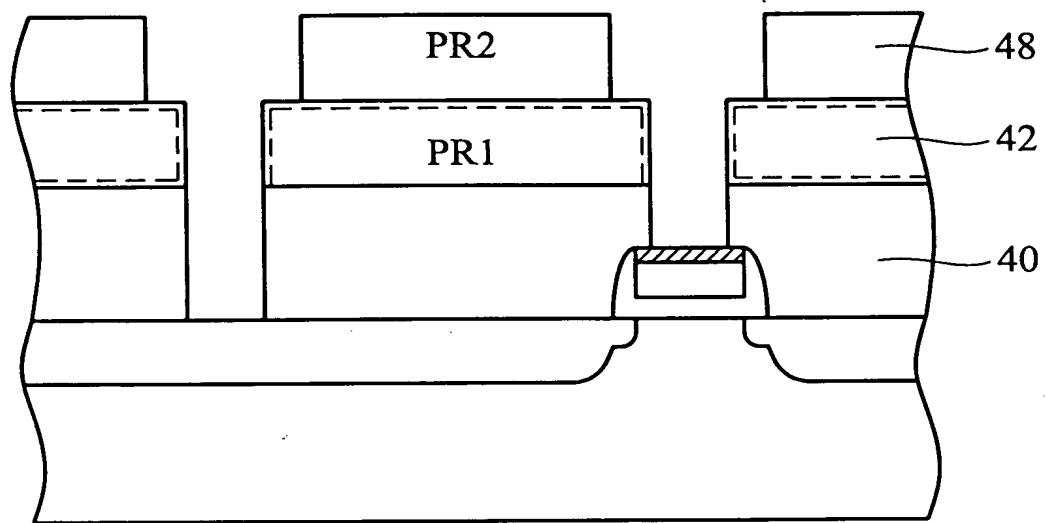
第 6B 圖



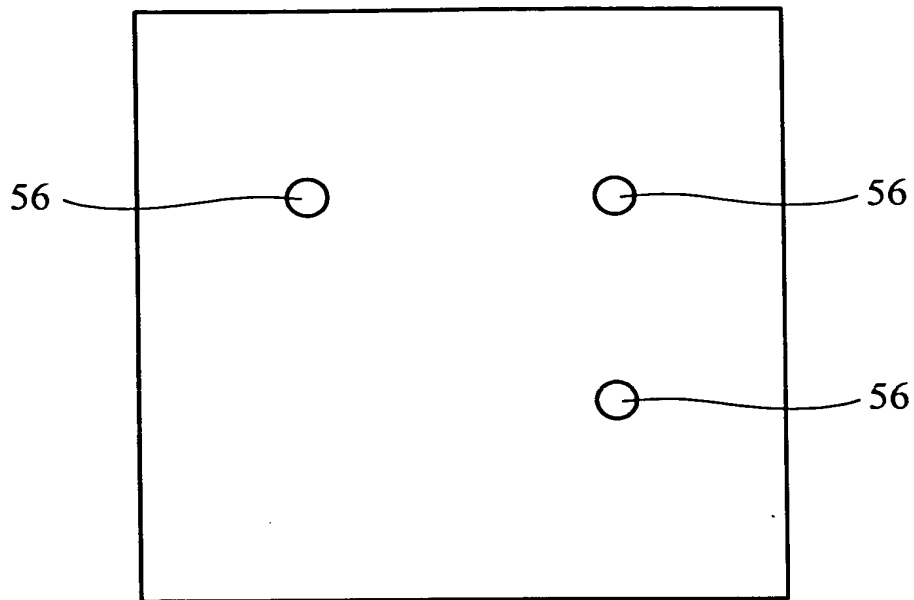
第7A圖



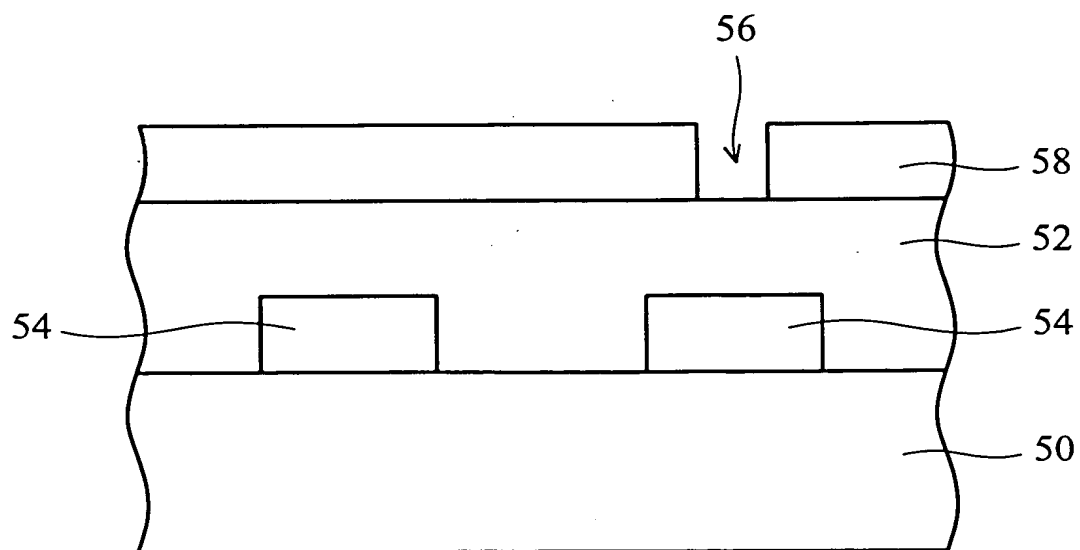
第7B圖



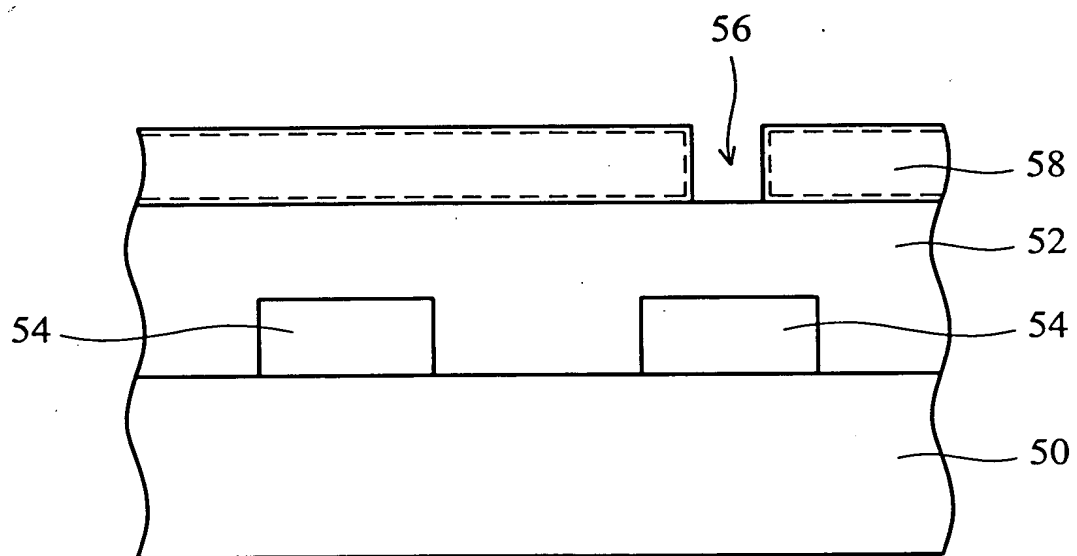
第 8 圖



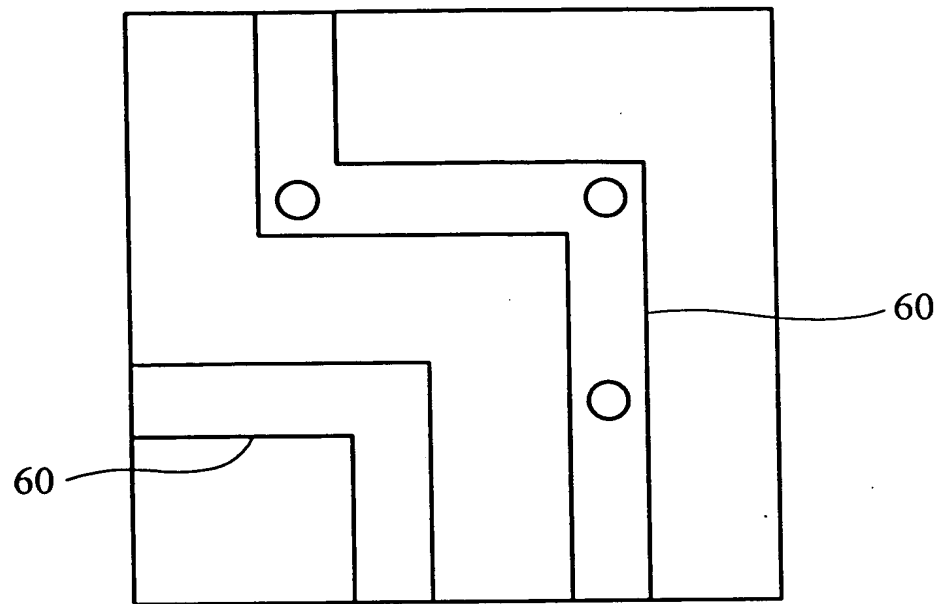
第9A圖



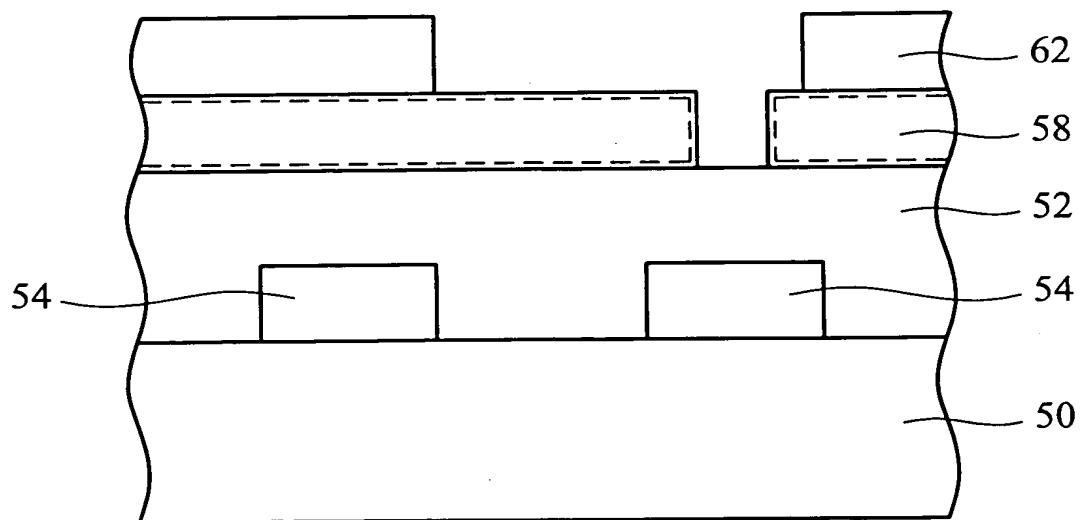
第9B圖



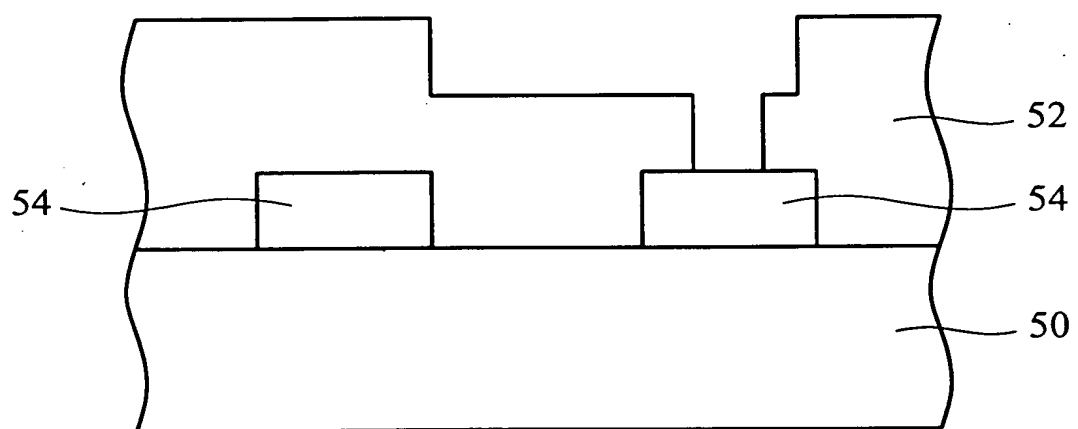
第 10 圖



第11A圖



第11B圖



第 12 圖

第 1/19 頁



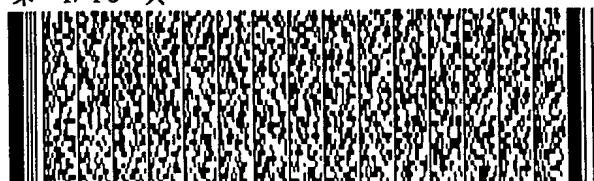
第 2/19 頁



第 3/19 頁



第 4/19 頁



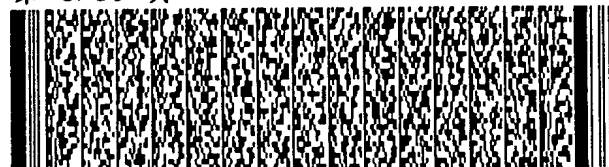
第 4/19 頁



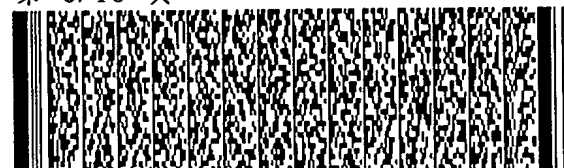
第 5/19 頁



第 5/19 頁



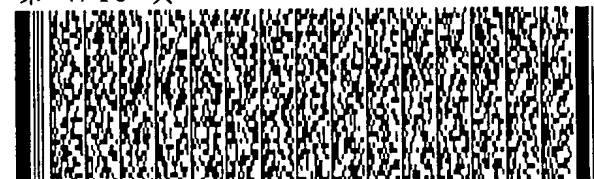
第 6/19 頁



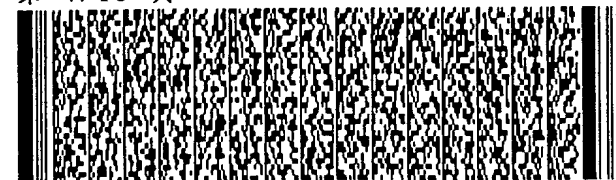
第 6/19 頁



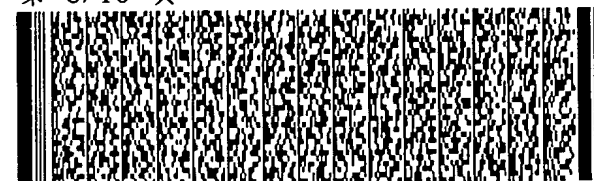
第 7/19 頁



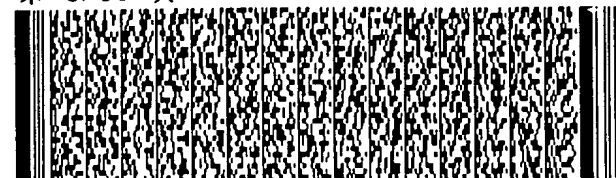
第 7/19 頁



第 8/19 頁



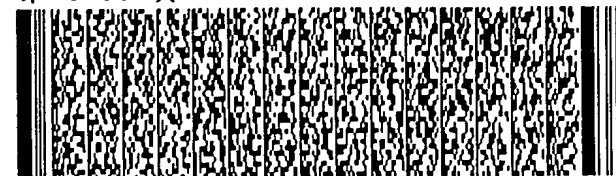
第 8/19 頁



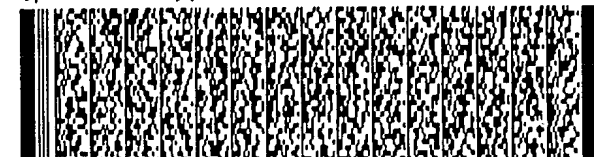
第 9/19 頁



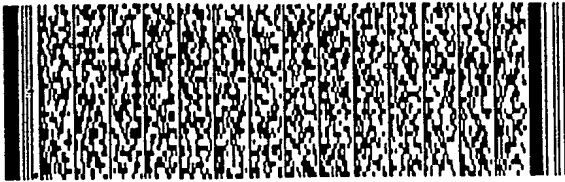
第 9/19 頁



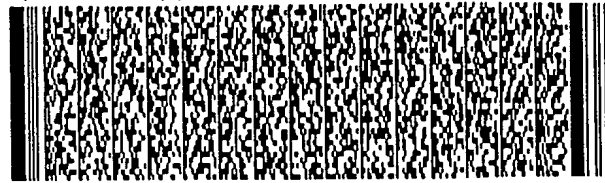
第 10/19 頁



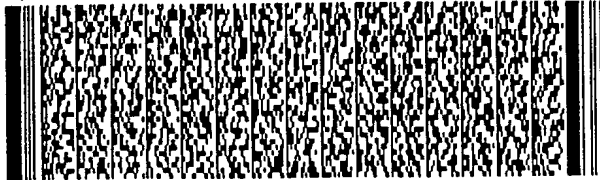
第 10/19 頁



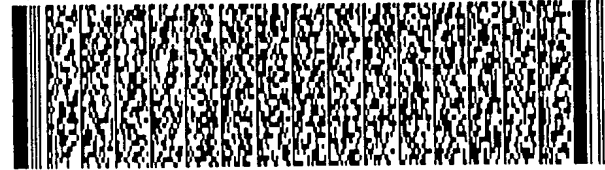
第 11/19 頁



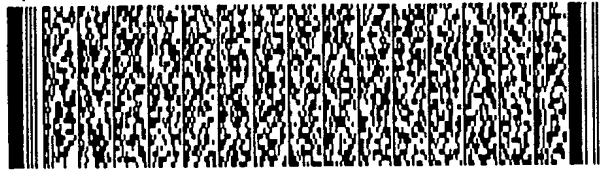
第 11/19 頁



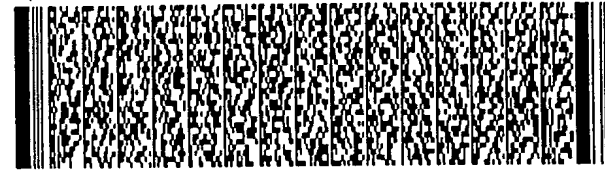
第 12/19 頁



第 12/19 頁



第 13/19 頁



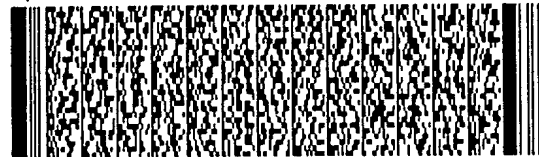
第 13/19 頁



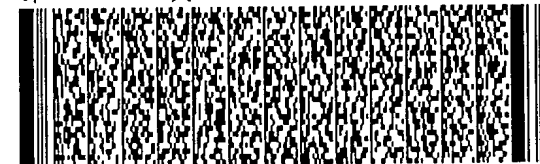
第 14/19 頁



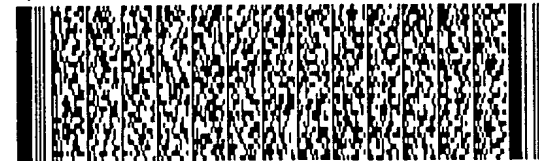
第 15/19 頁



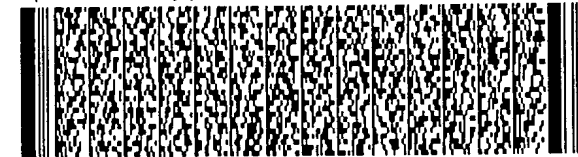
第 16/19 頁



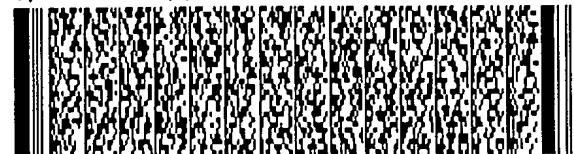
第 16/19 頁



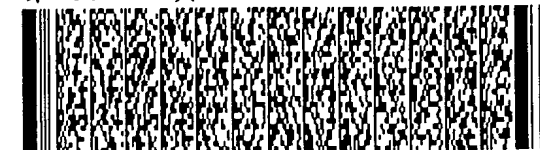
第 17/19 頁



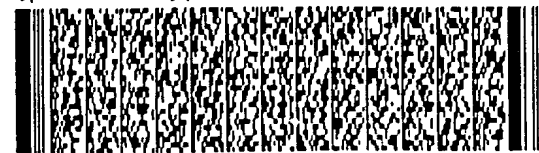
第 17/19 頁



第 18/19 頁



第 18/19 頁



第 19/19 頁

